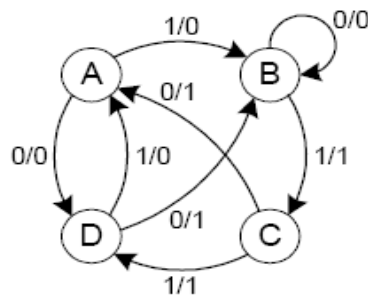
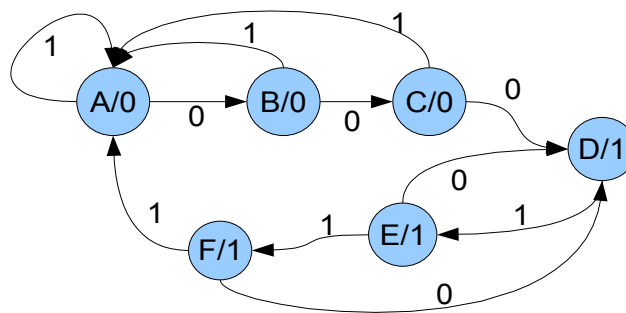


5ª Lista de Exercícios

- Qual a diferença entre a máquina de Moore e máquina de Mealy? Cite vantagens e desvantagens do uso de cada uma delas.
- O diagrama de estados da figura 1 descreve o comportamento de um circuito seqüencial síncrono com uma entrada X e uma saída Y. O estado é codificado pelas saídas de dois flip-flops, de acordo com A = 11, B = 01, C = 00, D = 10. Monte a tabela de estados correspondente com os valores binários atribuídos aos estados. Escreva o código VHDL correspondente.



- Considere o seguinte diagrama de estados. Faça a síntese do circuito correspondente utilizando a codificação "one hot" e flip-flops do tipo D. Escreva o Código VHDL correspondente:



- Desenhe o diagrama de estados correspondente ao código VHDL a seguir. O circuito correspondente a seguir é uma máquina de Mealy ou de Moore?

```

ENTITY simple_seq IS
    PORT(x : IN BIT ;
          z : OUT Bit_Vector(1 DOWNT0 0);
          clk : IN BIT);
END simple_seq;
    
```

```

ARCHITECTURE behavioral OF simple_seq IS
  TYPE stateT is (S0, S1, S2, S3);
  SIGNAL state: stateT;      -- state
BEGIN
  PROCESS (clk)              -- processo disparado por clk
  BEGIN
    IF (clk'EVENT AND clk='1') THEN
      CASE state IS          -- determine new state value
        WHEN S0 => IF (x = '0') THEN state <= S0;
                    ELSE state <= S1;
                END IF;
        WHEN S1 => IF (x = '0') THEN state <= S2;
                    ELSE state <= S3;
                END IF;
        WHEN S2 => IF (x = '0') THEN state <= S0;
                    ELSE state <= S1;
                END IF;
        WHEN S3 => IF (x = '0') THEN state <= S2;
                    ELSE state <= S3;
                END IF;
      END CASE;
    END IF;
  END PROCESS;

  PROCESS (state,x)         -- processo disparado por state ou x
  BEGIN
    CASE state IS
      WHEN S0 => z <= "00";
      WHEN S1 => z <= x & NOT(x);
      WHEN S2 => z <= NOT(x) & x;
      WHEN S3 => z <= "11";
    END CASE;
  END PROCESS;
END behavioral;

```

5. Projete um contador síncrono up/down módulo 9 com carga paralela em VHDL.
6. Projete um circuito com uma entrada e uma saída inicialmente em '0' que identifique a ocorrência das seqüências de 3 bits:
 - a) Se a seqüência 110 for detectada, a saída passa a ter o valor 1;
 - b) Se, e somente se, a seqüência 001 for detectada, a saída passa novamente para 0;

Considere que não há sobreposição das seqüências. Utilize necessariamente flip-flops do tipo D e uma máquina de Moore. Execute as seguintes etapas do projeto:

- i. Elabore um diagrama de estados;
- ii. Apresente uma tabela de estados com a codificação escolhida;
- iii. Utilize a tabela de excitação do flip-flop T para obter o mapa de Karnaugh de cada entrada dos flip-flops de estado e da saída;
- iv. Apresente as equações dos flip-flops e da saída minimizadas.